

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-348568

(43)Date of publication of application : 03.12.1992

(51)Int.Cl.

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 03-120852

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.05.1991

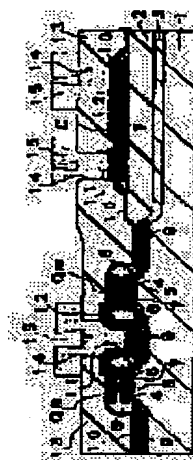
(72)Inventor : SHIBA KAZUYOSHI

(54) SEMICONDUCTOR IC DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To achieve the high integration of a nonvolatile memory circuit, and to improve the accuracy of the analog capacitive element in a semiconductor IC device including a nonvolatile memory circuit and a capacitive element for analog purposes. And, with regard to a semiconductor IC device, to reduce the number of steps in the manufacturing process, and to optimize the characteristics of the nonvolatile memory circuit and the analog capacitive element, respectively.

CONSTITUTION: A semiconductor IC device includes a nonvolatile memory circuit (EPROM or EEPROM) and a capacitive element for analog purposes. In such an IC device, a lower electrode 7 of the capacitive element C is produced from a gate electrode 7 (or 5), for control purposes, of a memory cell Qm of the nonvolatile memory circuit; an upper electrode 12 being produced from an intermediate conductive layer 12; and a dielectric film 10 being formed from an insulative layer 10 which is prepared independently of the manufacturing step of a gate insulative film 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-348568

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数 2 (全 7 頁)	

(21) 出願番号 特願平3-120852

(22) 出願日 平成3年(1991)5月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 志波 和佳

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

(74) 代理人 弁理士 秋田 収喜

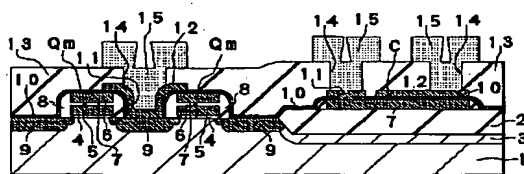
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】 不揮発性記憶回路及びアナログ用容量素子を有する半導体集積回路装置において、不揮発性記憶回路の高集積化を図り、かつアナログ用容量素子の高精度化を図る。又、前記半導体集積回路装置において、製造プロセスの工程数を低減し、前記不揮発性記憶回路、アナログ用容量素子の夫々の特性の最適化を図る。

【構成】 不揮発性記憶回路 (EPROM又はEEPROM) 及びアナログ用容量素子を有する半導体集積回路装置において、前記不揮発性記憶回路のメモリセルQmの制御用ゲート電極7 (又は5) でアナログ用容量素子Cの下層電極7を形成し、中間導電層12で上層電極12を形成し、ゲート絶縁膜6に対して独立工程で形成される絶縁層10で誘電体膜10を形成する。

図 1



【特許請求の範囲】

【請求項1】 電荷蓄積用ゲート電極及び制御用ゲート電極を有する電界効果トランジスタでメモリセルが構成される紫外線消去型又は電氣的消去型不揮発性記憶回路、アナログ用容量素子の夫々を同一半導体基体に搭載する半導体集積回路装置において、前記不揮発性記憶回路のメモリセルの電界効果トランジスタのドレイン領域又はソース領域に、電荷蓄積用ゲート電極、制御用ゲート電極のいずれかに対して自己整合で一部が接続され、かつ制御用ゲート電極上に絶縁層を介在して他部が延在し、しかもゲート材で形成される中間導電層を介在し、データ線又はソース線が電氣的に接続され、前記アナログ用容量素子が、前記メモリセルの電界効果トランジスタの電荷蓄積用ゲート電極若しくは制御用ゲート電極と同一導電層で形成される下層電極、前記制御用ゲート電極と中間導電層との間の絶縁層と同一絶縁層で形成される誘電体膜、前記中間導電層と同一導電層で形成される上層電極の夫々を順次積層した、積層構造で構成されることを特徴とする半導体集積回路装置。

【請求項2】 電荷蓄積用ゲート電極及び制御用ゲート電極を有する電界効果トランジスタでメモリセルが構成される紫外線消去型又は電氣的消去型不揮発性記憶回路、アナログ用容量素子の夫々を同一半導体基体に搭載する半導体集積回路装置の製造方法において、前記不揮発性記憶回路のメモリセルの電界効果トランジスタの電荷蓄積用ゲート電極、制御用ゲート電極、ソース領域及びドレイン領域を形成するとともに、前記電荷蓄積用ゲート電極、制御用ゲート電極のいずれかを形成する工程と同一工程で、前記アナログ用容量素子の下層電極を形成する工程と、前記メモリセルの電界効果トランジスタの少なくとも電荷蓄積用ゲート電極及び制御用ゲート電極上に被覆する絶縁層を形成するとともに、この絶縁層を形成する工程と同一工程で、前記アナログ用容量素子の下層電極上に誘電体膜を形成する工程と、前記メモリセルの電界効果トランジスタのドレイン領域又はソース領域に、電荷蓄積用ゲート電極、制御用ゲート電極のいずれかに対して自己整合で一部が接続され、かつ制御用ゲート電極上に絶縁層を介在して他部が延在し、しかもゲート材で形成される中間導電層を形成するとともに、この中間導電層を形成する工程と同一工程で、前記アナログ用容量素子の下層電極上に前記誘電体膜を介在して上層電極を形成する工程とを備えたことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、紫外線消去型又は電氣的消去型不揮発性記憶回路及びアナログ用容量素子を同一半導体基体に搭載した半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 通信分野で使用される半導体デバイスに、紫外線消去型不揮発性記憶回路（EPROM: Erasable Programmable Read Only Memory）及び高精度のアナログ・デジタル（A/D）変換器を同一半導体基板上に搭載するマイクロプロセッサがある。この種のマイクロプロセッサについては例えばアイイーディーエム89-413（IEDM89-413）において論じられている。

【0003】 前述のEPROMの1 [bit] の情報を記憶するメモリセルは、電荷蓄積用ゲート電極（フローティングゲート電極）、制御用ゲート電極（コントロールゲート電極）、ソース領域及びドレイン領域を主体として構成される。電荷蓄積ゲート電極は製造プロセスにおいて第1層目の多結晶珪素膜で形成される。制御用ゲート電極は製造プロセスにおいて第2層目の多結晶珪素膜、若しくは多結晶珪素膜及びその上層に高融点金属珪化膜を積層した積層膜で形成される。

【0004】 一方、アナログ・デジタル変換器は高精度の容量素子が必要とされる。この容量素子は下層電極、誘電体膜、上層電極の夫々を順次積層した積層構造（スタックド構造）で構成される。容量素子は、マイクロプロセッサの製造プロセスの工程数を削減するため、EPROMの製造プロセスの一部を利用して形成される。つまり、容量素子の下層電極は電界効果トランジスタの電荷蓄積用ゲート電極と同一製造工程で形成され、上層電極は制御用ゲート電極と同一製造工程で形成される。誘電体膜は、電荷蓄積用ゲート電極と制御用ゲート電極との間に形成されるゲート絶縁膜を形成する工程が利用され、このゲート絶縁膜と同一製造工程で形成される。

【0005】 このスタックド構造で構成される容量素子は、電圧が印加されると、多結晶珪素膜の誘電体膜との界面近傍に蓄積層及び空乏層が発生し、容量値が変化するが、電圧の印加の方向が反転されると、同様に容量値が変化し、総合的には容量値の変化分が相殺し合うので、電圧係数が小さく、高精度が得られる。半導体基板の表面上に誘電体膜、金属の夫々を積層した所謂MOS容量素子、多結晶珪素膜、誘電体膜、金属の夫々を順次積層した容量素子のいずれも、電圧の印加の方向を変えても容量値の変化分を相殺する機能が少なく、アナログ・デジタル変換器で使用される容量素子としては適していない。

【0006】

【発明が解決しようとする課題】 (1) 前記マイクロプロセッサに搭載されるEPROMは高集積化の要求及び高速動作化の要求に基づいてシュリンク化されるとともに、アナログ・デジタル変換器はより一層の高精度化が要求される。前記アナログ・デジタル変換器は、容量素子の電圧係数を小さくすれば、精度を向上できる。

3

前記容量素子は、下層電極、上層電極の夫々の多結晶珪素膜中に導入されるリン濃度を高め、金属に近づければ、蓄積層及び空乏層の発生を抑え、電圧係数を小さくできる。

【0007】ところが、メモリセルの電界効果トランジスタの電荷蓄積用ゲート電極と制御用ゲート電極との間のゲート絶縁膜は、緻密かつ良質が要求され、電荷蓄積用ゲート電極（多結晶珪素膜）の表面に熱酸化法を施した酸化珪素膜で形成され、容量素子の誘電体膜は同様に下層電極の表面に形成された酸化珪素膜で形成される。この多結晶珪素膜の表面に成長させた酸化珪素膜は多結晶珪素膜に導入されるリン濃度が高くなるとリーク特性が劣化するので、メモリセルである電界効果トランジスタ、容量素子のいずれの特性も劣化する。

【0008】このような弊害を解決するには、第1層目の多結晶珪素膜つまりメモリセルの電界効果トランジスタの電荷蓄積用ゲート電極、容量素子の下層電極の夫々に導入されるリン濃度を少なくせざるおえない。しかしながら、この結果、特に、容量素子は、下層電極、上層電極の夫々の多結晶珪素膜に導入されるリン濃度に差を生じ、容量値の変化分の相殺効果が低下するので、高精度化を図れない。

【0009】(2) また、前記容量素子の電圧係数を小さくする技術として、誘電体膜を厚膜化する技術が有効である。しかしながら、容量素子の誘電体膜は、前述のように、メモリセルである電界効果トランジスタのゲート絶縁膜と同一製造工程で形成され、このゲート絶縁膜はシュリンク化で情報書き込み特性を高める（維持する）ために薄膜化の傾向にあるので、厚膜化できない。

【0010】(3) また、前記容量素子の誘電体膜の厚膜化を図る技術手段として、メモリセルである電界効果トランジスタのゲート絶縁膜、容量素子の誘電体膜の夫々を別々の製造工程で形成する技術が有効である。しかしながら、前記誘電体膜を形成する工程に相当する分、マイクロプロセッサの製造プロセスの工程数が単純に増加する。

【0011】(4) また、容量素子の電圧係数を単純に小さくする技術として、容量素子の下層電極、上層電極のいずれをも金属で形成する技術が有効である。例えば、メモリセルである電界効果トランジスタの制御用ゲート電極を例えばWSi₁膜からなる金属で形成し、この製造工程を利用し、容量素子の下層電極をWSi₁膜からなる金属で形成する。そして、メモリセルに接続されるデータ線は例えばアルミニウム膜からなる金属で形成されるので、この製造工程を利用し、容量素子の下層電極をアルミニウム膜からなる金属で形成する。しかしながら、この技術においても、容量素子の誘電体膜はメモリセルである電界効果トランジスタのゲート絶縁膜を形成する工程と別の工程で形成されるので、マイクロプロセッサの製造プロセスの工程数が増加する。

4

【0012】さらに、前記容量素子の下層電極がWSi₁膜で形成される場合、この下層電極と上層電極との間の層間絶縁膜に形成される開口（誘電体膜を形成する部分）をエッチング特にドライエッチングで形成すると、エッチングダメージに基づき、下層電極が剥離する。

【0013】本発明の目的は、不揮発性記憶回路及びアナログ用容量素子を有する半導体集積回路装置において、前記不揮発性記憶回路の高集積化を図るとともに、前記アナログ用容量素子の高精度化を図ることが可能な技術を提供することにある。

【0014】本発明の他の目的は、不揮発性記憶回路及びアナログ用容量素子を有する半導体集積回路装置において、製造プロセスの工程数を低減するとともに、前記不揮発性記憶回路、アナログ用容量素子の夫々の特性の最適化を図ることが可能な技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0017】(1) 電荷蓄積用ゲート電極及び制御用ゲート電極を有する電界効果トランジスタでメモリセルが構成される紫外線消去型又は電気的消去型不揮発性記憶回路、アナログ用容量素子の夫々を同一半導体基体に搭載する半導体集積回路装置において、前記不揮発性記憶回路のメモリセルの電界効果トランジスタのドレイン領域又はソース領域に、電荷蓄積用ゲート電極、制御用ゲート電極のいずれかに対して自己整合で一部が接続され、かつ制御用ゲート電極上に絶縁層を介在して他部が延在し、しかもゲート材で形成される中間導電層を介在し、データ線又はソース線が電気的に接続され、前記アナログ用容量素子が、前記メモリセルの電界効果トランジスタの電荷蓄積用ゲート電極若しくは制御用ゲート電極と同一導電層で形成される下層電極、前記制御用ゲート電極と中間導電層との間の絶縁層と同一絶縁層で形成される誘電体膜、前記中間導電層と同一導電層で形成される上層電極の夫々を順次積層した、積層構造で構成される。

【0018】(2) 電荷蓄積用ゲート電極及び制御用ゲート電極を有する電界効果トランジスタでメモリセルが構成される紫外線消去型又は電気的消去型不揮発性記憶回路、アナログ用容量素子の夫々を同一半導体基体に搭載する半導体集積回路装置の製造方法において、前記不揮発性記憶回路のメモリセルの電界効果トランジスタの電荷蓄積用ゲート電極、制御用ゲート電極、ソース領域及びドレイン領域を形成するとともに、前記電荷蓄積用ゲート電極、制御用ゲート電極のいずれかを形成する工程と同一工程で、前記アナログ用容量素子の下層電極を

形成する工程と、前記メモリセルの電界効果トランジスタの少なくとも電荷蓄積用ゲート電極及び制御用ゲート電極上に被覆する絶縁層を形成するとともに、この絶縁層を形成する工程と同一工程で、前記アナログ用容量素子の下層電極上に誘電体膜を形成する工程と、前記メモリセルの電界効果トランジスタのドレイン領域又はソース領域に、電荷蓄積用ゲート電極、制御用ゲート電極のいずれかに対して自己整合で一部が接続され、かつ制御用ゲート電極上に絶縁層を介在して他部が延在し、しかもゲート材で形成される中間導電層を形成するとともに、この中間導電層を形成する工程と同一工程で、前記アナログ用容量素子の下層電極上に前記誘電体膜を介在して上層電極を形成する工程とを備える。

【0019】

【作用】上述した手段(1)によれば、前記不揮発性記憶回路のメモリセルである電界効果トランジスタのドレイン領域又はソース領域に接続されるデータ線又はソース線と電荷蓄積用ゲート電極、制御用ゲート電極のいずれかとの間の離隔寸法(製造プロセス上のマスク合せ余裕寸法)を中間導電層(pad-poly Si構造)の採用により低減し、メモリセルの占有面積を縮小できるので、不揮発性記憶回路の高集積化を図れるとともに、前記アナログ用容量素子の誘電体膜が、前記メモリセルの電荷蓄積用ゲート電極と制御用ゲート電極との間のゲート絶縁膜と別の層に設定され、このメモリセルの情報書き込み特性に対して独立に前記ゲート絶縁膜に比べて厚い膜厚に設定できるので、このアナログ用容量素子の電圧係数を小さくし、容量値の変動を低減でき、アナログ用容量素子の高精度化を図ることができる。このアナログ用容量素子の高精度化は、アナログ用容量素子の占有面積を縮小でき、このアナログ用容量素子の高集積化を図れる。

【0020】上述した手段(2)によれば、前記不揮発性記憶回路のメモリセルの電界効果トランジスタの電荷蓄積用ゲート電極、制御用ゲート電極のいずれかを形成する工程で、アナログ用容量素子の下層電極を形成でき、前記電界効果トランジスタのドレイン領域又はソース領域に接続される中間導電層及びそれと制御用ゲート電極とを分離する絶縁層を形成する工程で、アナログ用容量素子の上層電極及び誘電体膜を形成できるので、このアナログ用容量素子の形成工程に相当する分、半導体集積回路装置の製造プロセスの工程数を低減できるとともに、前記アナログ用容量素子の誘電体膜を形成する工程が、メモリセルの電界効果トランジスタの電荷蓄積用ゲート電極と制御用ゲート電極との間に形成されるゲート絶縁膜に対して独立に形成できかつ厚い膜厚で形成できるので、前記メモリセル、アナログ用容量素子の夫々の特性の最適化が図れる。

【0021】以下、本発明の構成について、EPROM及びアナログ・デジタル変換器を搭載するマイクロプロセッサ(半導体集積回路装置)に本発明を適用した、

一実施例とともに説明する。

【0022】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【実施例】本発明の一実施例であるEPROM及びアナログ・デジタル変換器を搭載するマイクロプロセッサを図1(要部断面図)で示す。

【0024】図1に示すように、マイクロプロセッサ(半導体集積回路装置)はEPROM及びアナログ・デジタル変換器を搭載する。このマイクロプロセッサは単結晶珪素からなるp-型半導体基板1を主体に構成される。前記EPROM(横型構造)の1[bit]の情報記憶するメモリセルQmは図1中左側に示し、アナログ・デジタル変換器(A/D変換器)を構成するアナログ用容量素子Cは同図1中右側に示す。

【0025】前記EPROMのメモリセルQmは、素子分離絶縁膜(フィールド絶縁膜)2及びp型チャネルストップ領域3で周囲を囲まれ規定された活性領域内において、p-型半導体基板1(又はウエル領域でもよい)の主面に構成される。つまり、メモリセルQmは、チャネル形成領域(p-型半導体基板1)、ゲート絶縁膜4、6、電荷蓄積用ゲート電極5、制御用ゲート電極7、ソース領域及びドレイン領域である一対のn+型半導体領域9を主体に構成される。つまり、このメモリセルQmは基本的に電荷蓄積用ゲート電極5を有する電界効果トランジスタで構成される。メモリセルQmは、この構造に限定されないが、ソース領域、ドレイン領域のいずれかのn+型半導体領域9のチャネル形成領域側が低い不純物濃度に設定され、LDD(Lightly Doped Drain)構造で構成される。

【0026】前記メモリセルQmのゲート絶縁膜4は例えばp-型半導体基板1の主面を熱酸化法で酸化して形成した酸化珪素膜で形成される。

【0027】電荷蓄積用ゲート電極5は、製造プロセスにおける第1層目ゲート材形成工程において形成され、例えば多結晶珪素膜で形成される。この多結晶珪素膜は抵抗値を低減する目的で例えばn型不純物としてのリンが導入される。

【0028】ゲート絶縁膜6は例えば電荷蓄積用ゲート電極(多結晶珪素膜)5の表面を熱酸化法で酸化して形成した酸化珪素膜で形成される。

【0029】制御用ゲート電極7は、製造プロセスにおける第2層目ゲート材形成工程において形成され、例えば多結晶珪素膜で形成される。この多結晶珪素膜は同様に抵抗値を低減する目的で例えばn型不純物としてのリンが導入される。また、制御用ゲート電極7は、EPROMの情報読出し動作速度の高速化を図る目的を主体に、高融点金属膜若しくは高融点金属珪化膜の単層構造、又は多結晶珪素膜上に高融点金属膜若しくは高融点

金属珪化膜を積層した積層構造で形成してもよい。

【0030】このメモリセルQmのドレイン領域に相当するn+型半導体領域9には中間導電層(pad-polySi構造)12を介してデータ線15が電氣的に接続される。メモリセルQmのソース領域に相当するn+型半導体領域9にはそれに一体に構成されるソース線が電氣的に接続される。

【0031】前記中間導電層12は、その一部(中央部分)が電荷蓄積用ゲート電極5及び制御用ゲート電極7に対して自己整合でドレイン領域に電氣的に接続され、他端部(周辺部分)が制御用ゲート電極7の上部に重なりかつ延在する。この中間導電層12の一部は、電荷蓄積用ゲート電極5及び制御用ゲート電極7の側壁にそれらに対して自己整合で形成されるサイドウォールスペーサ8で周囲を規定された領域内において、前記サイドウォールスペーサ8上及び制御用ゲート電極7の表面上を被覆する絶縁層10に形成された接続孔11を通して、ドレイン領域に接続される。中間導電層12の他端部は前記絶縁層10の表面上に延在する。

【0032】中間導電層12の一部はドレイン領域に自己整合で接続されるので、この中間導電層12、データ線15の夫々の接続に際し、ドレイン領域とデータ線15との間に製造プロセス上のマスク合せずれが発生しても、このドレイン領域とデータ線15との接続が見かけ上自己整合で行われる。この結果、メモリセルQmである電界効果トランジスタの電荷蓄積用ゲート電極5、制御用ゲート電極7の夫々とデータ線15との間のマスク合せ余裕寸法を廃止し、このマスク合せ余裕寸法に相当する分、メモリセルQmの占有面積を縮小できる。

【0033】前記中間導電層12は、製造工程における第3層目ゲート材形成工程において形成され、例えば多結晶珪素膜で形成される。この多結晶珪素膜は抵抗値を低減する目的で例えばn型不純物としてのリンが導入される。

【0034】前記絶縁層10は、EPROMのメモリセルアレイ内においては、基本的にメモリセルQmの制御用ゲート電極7と中間導電層12との間を絶縁する目的で構成される。絶縁層10は、後述するアナログ用容量素子Cの誘電体膜(10)としても使用されるので、酸化珪素膜、窒化珪素膜、タンタルオキサイド膜若しくはオキシナイトライド膜の単層構造、又は少なくともそれらのうち2つの膜を積層した積層構造で構成してもよい。

【0035】前記データ線15は、層間絶縁膜13上に延在し、この層間絶縁膜13に形成された接続孔14を通して、中間導電層12に接続される。データ線15は、例えばアルミニウム膜若しくはアルミニウム合金膜のいずれかの単層構造、又はバリアメタル膜とアルミニウム膜若しくはアルミニウム合金膜とを積層した積層構造で構成してもよい。

【0036】前記アナログ・デジタル変換器のアナログ用容量素子Cは、素子分離絶縁膜2上において、下層電極7、誘電体膜10、上層電極12の夫々を順次積層したスタック構造で構成される。

【0037】前記アナログ用容量素子Cの下層電極7はEPROMのメモリセルQmである電界効果トランジスタの制御用ゲート電極7と同一導電層つまり多結晶珪素膜等のゲート材で形成される。

【0038】誘電体膜10は、前記下層電極7の表面上に形成され、前記メモリセルQmの制御用ゲート電極7と中間導電層12との間に形成される絶縁層10と同一絶縁層で形成される。

【0039】上層電極12は、前記下層電極7の表面上に誘電体膜10を介在して形成され、メモリセルQmのドレイン領域、データ線15との間に形成される中間導電層12と同一導電層つまり多結晶珪素膜等のゲート材で形成される。

【0040】このアナログ用容量素子Cの下層電極7は上層電極12が配置されない領域において配線15に接続され、上層電極12は同様に配線15に接続される。これらの配線15はメモリセルQmのドレイン領域に接続されるデータ線15と同一導電層で形成される。

【0041】次に、前記マイクロプロセッサの製造方法について、図2乃至図4(各製造工程毎に示す要部断面図)を使用し、簡単に説明する。

【0042】まず、図2に示すように、p-型半導体基板1の主面のEPROMの領域において、電界効果トランジスタからなるメモリセルQmを形成するとともに、アナログ・デジタル変換器の領域において、アナログ用容量素子Cの下層電極7を形成する。

【0043】前記メモリセルQmは、ゲート絶縁膜4、電荷蓄積用ゲート電極5、ゲート絶縁膜6、制御用ゲート電極7、サイドウォールスペーサ8、ソース領域及ドレイン領域である一対のn+型半導体領域9の夫々を順次形成することで形成される。このメモリセルQmの電荷蓄積用ゲート電極5、制御用ゲート電極7の夫々の間に形成されるゲート絶縁膜6は、電荷蓄積用ゲート電極(多結晶珪素膜)5の表面に熱酸化処理を施して形成される酸化珪素膜で形成され、例えば、情報書き込み特性を向上する目的で20~35[nm]程度の薄い膜厚で形成される。

【0044】アナログ用容量素子Cの下層電極7は前記メモリセルQmの制御用ゲート電極7と同一製造工程で形成される。また、下層電極7はメモリセルQmの電荷蓄積用ゲート電極5と同一製造工程で形成してもよい。

【0045】また、前記サイドウォールスペーサ8は、例えば少なくとも制御用ゲート電極7上を含む全域にCVD法で酸化珪素膜を堆積し、この堆積された膜厚に相当する分、酸化珪素膜の全域に異方性エッチングを施すことで形成される。このサイドウォールスペーサ8は、

9

メモリセルQmの電荷蓄積用ゲート電極5、制御用ゲート電極7の夫々の側壁にいずれに対しても自己整合で形成される。

【0046】次に、図3に示すように、EPROMの領域において、メモリセルQmの制御用ゲート電極7上及びサイドウォールスペーサ8上を含む領域に絶縁層10を形成するとともに、アナログ・デジタル変換器の領域において、下層電極7の表面上を含む領域に誘電体膜10を形成する。このEPROMの領域の絶縁層10、

アナログ・デジタル変換器の領域の誘電体膜10の夫々は、同一絶縁層において形成され、例えば熱酸化法で形成した若しくは低圧CVD法で堆積した酸化珪素膜で形成される。

【0047】前記絶縁層10はメモリセルQmの制御用ゲート電極7と後に形成される中間導電層12との間の絶縁分離を主目的として形成され、誘電体膜10はアナログ用容量素子Cの電圧係数を小さくすることを主目的として形成される。しかも、絶縁層10、誘電体膜10の夫々は、メモリセルQmのゲート絶縁膜6に対して別の工程で独立な条件下において形成されるので、厚い膜厚で形成できる。例えば、絶縁層10、誘電体膜10の夫々は40~100 [nm]の厚い膜厚で形成される。

【0048】次に、図4に示すように、EPROMの領域のメモリセルQmのドレイン領域に相当するn+型半導体領域9上において、絶縁層10に接続孔11を形成し、この接続孔11を通してn+型半導体領域9の表面に接続される中間導電層12を絶縁層10上に形成する。この工程のうち、前記中間導電層12を形成する工程と同一製造工程で、アナログ・デジタル変換器の領域のアナログ用容量素子Cの下層電極7上において、上層電極12を形成する。この上層電極12を形成する工程により、スタックド構造のアナログ用容量素子Cは完成する。

【0049】次に、層間絶縁膜13を形成し、この後、前述の図1に示すように、層間絶縁膜13のEPROMの領域に接続孔14を形成し、データ線15を形成するとともに、層間絶縁膜13のアナログ用容量素子Cの領域に接続孔14を形成し、配線15を形成する。

【0050】前記アナログ用容量素子Cの上層電極12、配線15の夫々を接続する接続孔14は、上層電極12の平面々積に比べてそのうちの一部を占有する小さい面積で形成されるので、例えば上層電極12をWSi₂膜等の高融点金属珪化膜で形成した場合、接続孔14を形成する際に使用するドライエッチングのエッチングダメージが発生しても、この上層電極12の剥離には至らない。

【0051】これら一連の製造工程を施すことにより、本実施例のマイクロプロセッサは完成する。

【0052】このように、電荷蓄積用ゲート電極5及び制御用ゲート電極7を有する電界効果トランジスタでメ

10

モリセルQmが構成されるEPROM、アナログ用容量素子Cの夫々を同一のp-型半導体基板1に搭載するマイクロプロセッサにおいて、前記EPROMのメモリセルQmの電界効果トランジスタのドレイン領域(n+型半導体領域9)に、電荷蓄積用ゲート電極5、制御用ゲート電極7のいずれかに対して自己整合で一部が接続され、かつ制御用ゲート電極7上に絶縁層10を介して他部が延在し、しかもゲート材で形成される中間導電層12を介し、データ線15が電氣的に接続され、前記アナログ用容量素子Cが、前記メモリセルQmの電界効果トランジスタの制御用ゲート電極7と同一導電層で形成される下層電極7、前記制御用ゲート電極7と中間導電層12との間の絶縁層10と同一絶縁層で形成される誘電体膜10、前記中間導電層12と同一導電層で形成される上層電極12の夫々を順次積層した、スタックド構造で構成される。この構成により、前記EPROMのメモリセルQmである電界効果トランジスタのドレイン領域に接続されるデータ線15と電荷蓄積用ゲート電極5、制御用ゲート電極7のいずれかとの間の離隔寸法(製造プロセス上のマスク合せ余裕寸法)を中間導電層(pad-polySi構造)12の採用により低減し、メモリセルQmの占有面積を縮小できるので、EPROMの高集積化を図れるとともに、前記アナログ用容量素子Cの誘電体膜10が、前記メモリセルQmの電荷蓄積用ゲート電極5と制御用ゲート電極7との間のゲート絶縁膜6と別の層に設定され、このメモリセルQmの情報書き込み特性に対して独立に前記ゲート絶縁膜6に比べて厚い膜厚に設定できるので、このアナログ用容量素子Cの電圧係数を小さくし、容量値の変動を低減でき、アナログ用容量素子Cの高精度化を図ることができる。このアナログ用容量素子Cの高精度化は、アナログ用容量素子Cの占有面積を縮小でき、このアナログ用容量素子Cの高集積化を図れる。

【0053】また、前記マイクロプロセッサの製造方法において、前記EPROMのメモリセルQmの電界効果トランジスタの電荷蓄積用ゲート電極5、制御用ゲート電極7、ソース領域及びドレイン領域(n+型半導体領域9)を形成するとともに、前記制御用ゲート電極7を形成する工程と同一工程で、前記アナログ用容量素子Cの下層電極7を形成する工程と、前記メモリセルQmの電界効果トランジスタの少なくとも制御用ゲート電極7上を被覆する絶縁層10を形成するとともに、この絶縁層10を形成する工程と同一工程で、前記アナログ用容量素子Cの下層電極7上に誘電体膜10を形成する工程と、前記メモリセルQmの電界効果トランジスタのドレイン領域に、制御用ゲート電極7に対して自己整合で一部が接続され、かつ制御用ゲート電極7上に絶縁層10を介して他部が延在し、しかもゲート材で形成される中間導電層12を形成するとともに、この中間導電層12を形成する工程と同一工程で、前記アナログ用容量素

子Cの下層電極7上に前記誘電体膜10を介して上層電極12を形成する工程とを備える。この構成により、前記EPROMのメモリセルQmの電界効果トランジスタの制御用ゲート電極7を形成する工程で、アナログ用容量素子Cの下層電極7を形成でき、前記電界効果トランジスタのドレイン領域に接続される中間導電層12及びそれと制御用ゲート電極7とを分離する絶縁層10を形成する工程で、アナログ用容量素子Cの上層電極12及び誘電体膜10を形成できるので、このアナログ用容量素子Cの形成工程に相当する分、マイクロプロセッサ

の製造プロセスの工程数を低減できるとともに、前記アナログ用容量素子Cの誘電体膜10を形成する工程が、メモリセルQmの電界効果トランジスタの電荷蓄積用ゲート電極5と制御用ゲート電極7との間に形成されるゲート絶縁膜6に対して独立に形成できかつ厚い膜厚で形成できるので、前記メモリセルQm、アナログ用容量素子Cの夫々の特性の最適化を図れる。

【0054】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0055】例えば、本発明は、EPROMに変えて、電氣的消去型不揮発性記憶回路（EEPROM: Electrically Erasable Programmable Read Only Memory）及び容量素子を搭載する半導体集積回路装置に適用できる。

【0056】また、本発明は、メモリセルである電界効果トランジスタのソース領域に中間導電層を介在してソ

ース線が接続されるEPROMを搭載する半導体集積回路装置に適用できる。

【0057】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0058】不揮発性記憶回路及びアナログ用容量素子を有する半導体集積回路装置において、前記不揮発性記憶回路の高集積化を図れ、かつ前記アナログ用容量素子の高精度化を図れる。

【0059】不揮発性記憶回路及びアナログ用容量素子を有する半導体集積回路装置において、製造プロセスの工程数を低減でき、前記不揮発性記憶回路、アナログ用容量素子の夫々の特性の最適化を図れる。

【図面の簡単な説明】

【図1】本発明の一実施例であるEPROM及びアナログ・デジタル変換器を搭載するマイクロプロセッサの要部断面図。

【図2】前記マイクロプロセッサの製造方法を説明する第1工程での要部断面図。

【図3】第2工程での要部断面図。

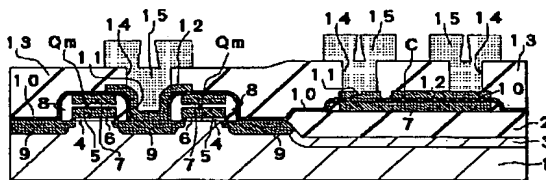
【図4】第3工程での要部断面図。

【符号の説明】

1…半導体基板、4、6…ゲート絶縁膜、5…電荷蓄積用ゲート電極、7…制御用ゲート電極又は下層電極、10…絶縁層又は誘電体膜、12…中間導電層又は上層電極、15…データ線又は配線、Qm…メモリセル、C…アナログ用容量素子。

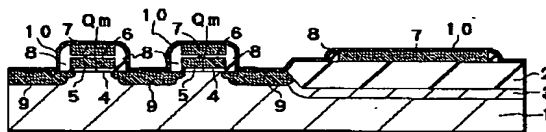
【図1】

図1



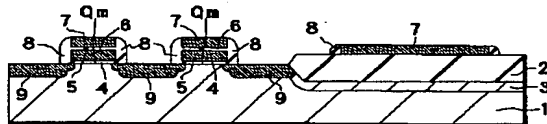
【図3】

図3



【図2】

図2



【図4】

図4

